

DT05 Rec'd PCT/PTO 02 DEC 2004

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Kazunori INOGAI  
Application No.: New PCT National Stage Application  
Filed: December 2, 2004  
For: RECEIVER

CLAIM FOR PRIORITY

Assistant Commissioner of Patents  
Washington, D.C. 20231

Dear Sir:

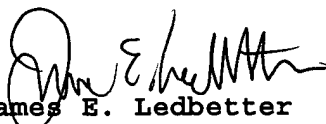
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-186753, filed June 26, 2002.

The International Bureau received the priority document within the time limit, as evidenced by the attached copy of the PCT/IB/304.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

  
James E. Ledbetter  
Registration No. 28,732

Date: December 2, 2004

JEL/spp

Attorney Docket No. L8638.04105  
STEVENS DAVIS, MILLER & MOSHER, L.L.P.  
1615 L STREET, NW, Suite 850  
P.O. Box 34387  
WASHINGTON, DC 20043-4387  
Telephone: (202) 785-0100  
Facsimile: (202) 408-5200

#2  
PCT/JP 03/08144

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

26.06.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 6 月 2 6 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 1 8 6 7 5 3  
[ST. 10/C]: [ J P 2 0 0 2 - 1 8 6 7 5 3 ]

REC'D 15 AUG 2003

WIPO PCT

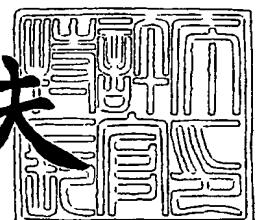
出 願 人  
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 3 年 7 月 3 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2900635619

【あて先】 特許庁長官殿

【国際特許分類】 H04L 1/16

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信  
工業株式会社内

【氏名】 猪飼 和則

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100093067

【弁理士】

【氏名又は名称】 二瓶 正敬

【手数料の表示】

【予納台帳番号】 039103

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003222

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信装置

【特許請求の範囲】

【請求項1】 AGC信号に基づいて受信信号を増幅する増幅手段と、一定振幅である既知シンボルの受信振幅を算出するCORDIC手段と、前記CORDIC手段により算出された受信振幅に基づいて前記AGC信号を生成して前記増幅手段に印加する制御手段とを、有する受信装置。

【請求項2】 キャリア周波数のオフセットを打ち消すキャリア周波数補正手段を更に備え、前記CORDIC手段が受信既知シンボルの遅延検波出力及び既知シンボルとの相関出力から前記キャリア周波数オフセットを検出するよう構成された請求項1に記載の受信装置。

【請求項3】 キャリア周波数のオフセットを検出する手段と、前記検出されたキャリア周波数のオフセットに応じた正弦波・余弦波を発生して周波数オフセット補正処理を行うCORDIC手段とを、有する受信装置。

【請求項4】 受信既知シンボルを既知シンボルで複素除算してチャネル歪を検出するCORDIC手段と、前記検出したチャネル歪を補償するCORDIC手段とを、有する受信装置。

【請求項5】 CORDICを基本セルとするシストリックアレイアーキテクチャで各ブランチの受信信号の出力振幅を正規化しながら最大比合成ダイバーシチ処理する手段を有する受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話やその基地局などにおいて受信信号のAGC (Auto Gain Control)、キャリア周波数オフセット補正、チャネル歪補正、最大比合成を行う受信装置に関する。

## 【0002】

## 【従来の技術】

図7に従来の一般的なMブランチ最大比合成ダイバーシチ受信装置のブロック図を示す。図7では、データシンボルに対して一定振幅を有する既知シンボルが挿入された（連続挿入でもランダム挿入でも良いが、挿入位置は既知とする）信号をM本の受信アンテナ1で受信し、M個の受信処理回路2（Br\_k、k=0、1、・・・、M-1と表示）を経て最大比合成回路3で最大比合成し、次いで軟判定ビット復号器4で軟判定ビット復号している。

## 【0003】

各ブランチの受信処理回路2は、受信周波数をシンセサイザ20の局部発振周波数により変換するRX（無線受信回路）11、GCA（Gain Controlled Amplifier）12、直交検波器13、AD変換器14、レベル測定回路15、周波数オフセット（ $\Delta f$ ）検出回路16、周波数補正回路17、チャネル（ch）歪検出回路18、チャネル（ch）歪補正回路19などで構成される。なお、AD変換器14より右側に配置されている以下のデジタル回路はハードウェアでもファームウェアでも実現可能だが、本資料においてはハードウェアで実現するものとして説明する。

## 【0004】

図7において、まず、AGCを行うために、レベル測定回路15は各AD変換出力点で上記既知シンボルの受信振幅を測定する。そしてこれらの測定値を元にAGC回路21がGCA12の制御量（全ブランチ共通）を決定してD/A変換器22を介してGCA12にフィードバックすることによりAGC回路を構成する。AGCは端末の移動に伴う距離変動や地物によるシャドウイングで生ずるレベル変動に伴って、量子化誤差が信号のSN比を劣化させないようにAD変換入力振幅が適切な範囲になるよう制御するためのもので、一般に応答速度は数秒程度とかなり緩慢でよい。

## 【0005】

次にキャリア周波数オフセット補正を行うために、周波数オフセット検出回路16は、上記既知シンボルの位相回転速度を検出し、平均化することにより周波

数オフセット $\Delta f$ を求め、この値に基づいて周波数補正回路17でオフセットを打消す。これにより周波数補正処理の出力点での信号は、緩慢な振幅変動と位相回転が除かれ、フェージングなどによる数100Hz程度の瞬時レベル変動と一定の位相歪だけが残留している。

#### 【0006】

そこで、チャネル歪補正を行うために、チャネル歪検出回路18は上記既知シンボルに重畳している瞬時レベル変動と一定の位相歪を検出し、チャネル歪補正回路19で受信シンボルからこれらを除く。以上のようにして各ブランチの受信シンボルは振幅・位相・周波数が補正され、最大比合成回路3では各ブランチのSN比に比例した係数で重み付けを行いながら受信シンボルを複素加算することによりSNを向上できる。

#### 【0007】

以下、各回路の詳細を従来例に基づいて説明する。図8はレベル測定回路15、周波数オフセット検出回路16、周波数補正回路17の従来例である。同図において、レベル測定回路15はAD変換されたI、Q信号の内、既知シンボルをSW1にて取り込み、式(1)の振幅が計算される。

#### 【0008】

【数1】

$$\sqrt{I^2 + Q^2} \quad (1)$$

#### 【0009】

一方、周波数オフセット検出回路16も同様にSW1にて既知シンボルを取り込む。そして、シンボル同期の精度が十分でないときはSW2をa側(A/D変換器出力側)に接続することにより、受信既知シンボルと1シンボル前の受信既知複素共役シンボルとの複素乗算を行うと、その積の複素数が有する位相として1シンボル時間当たりの瞬時位相回転量が得られ、これを平均化して周波数オフセット値 $\Delta f$ とする。ただし、この方法による低SN時の検出精度は著しく劣化するので、高精度のシンボル同期が得られているときには、SW2をb側(既知

シンボルテーブル 16 a 側) に接続し、受信既知シンボルと既知複素共役シンボルの複素乗算を行い、その積の複素数が有する位相として瞬時位相誤差を得る。そして、最小 2 乗法により時間に対する位相誤差の傾きを瞬時位相回転速度として求め、平均化して周波数オフセット値とする。これら瞬時位相回転速度は小振幅時の値は除きながら平均化し、周波数オフセット値  $\Delta f$  とする。なお、受信振幅が小さく瞬時位相回転速度の値に信頼性がないと判断できるものは平均化処理から除いている。

#### 【0010】

そして周波数補正回路 17 では、テーブル引きで発生させたオフセット周波数の正弦波・余弦波信号対で受信シンボルを複素除算することにより周波数オフセット  $\Delta f$  をキャンセルする。

#### 【0011】

図 9 はチャネル歪検出回路 18、チャネル歪補正回路 19 の従来例である。チャネル歪は受信既知シンボル ( $I_P$ 、 $Q_P$ ) を既知シンボル ( $P_r$ 、 $P_i$ ) を複素除算したときの商として得られるが、同図ではテーブル値を工夫して式 (2) のように複素乗算で実行しており、この商を平均化してチャネル歪 ( $d I$ 、 $d Q$ ) としている。

#### 【0012】

##### 【数 2】

$$\frac{I_P + jQ_P}{P_r + jP_i} = \frac{(I_P + jQ_P)(P_r - jP_i)}{P_r^2 + P_i^2} = (I_P + jQ_P) \times \left( \frac{P_r}{P_r^2 + P_i^2} - j \frac{P_i}{P_r^2 + P_i^2} \right) \quad (2)$$

#### 【0013】

すると、チャネル歪補正回路 18 では受信シンボル ( $I$ 、 $Q$ ) をこのチャネル歪 ( $d I$ 、 $d Q$ ) で複素除算することにより式 (3) のように複素乗算と実数除算に分けて歪を補償する { $d I$ 、 $d Q$  は既知シンボルのように固定値ではないので式 (2) のようには実行できない}。

#### 【0014】

【数3】

$$\frac{I+jQ}{dI+jdQ} = (I+jQ)(dI-jdQ) \times \frac{1}{dI^2+dQ^2} \quad (3)$$

【0015】

図10は最大比合成回路3の従来例である。Mブランチ最大比合成ダイバーシチは、各ブランチの受信信号を  $r_i$ 、 $i=1, 2, \dots, M$ 、各ブランチの伝送係数を  $\alpha_i$  (複素数) とするとき、 $\sum \alpha_i^* \times r_i$  ( $\alpha_i^*$ は $\alpha_i$ の共役複素数) と合成するもので、各ブランチの位相を揃えてからSN比に比例した重み付けをしながら加算を行うことに相当する。ここで $\alpha$ の絶対的な値は問題ではなく、各ブランチ間での相対値が正確であることが要求されるので、実際には全入力電力の和と合成出力電力が一致するように次式(4)のように正規化された係数を用いて合成する。

【0016】

【数4】

$$\sum_{i=0}^{M-1} \frac{\alpha_i}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} \|\alpha_k\|^2} \quad (4)$$

【0017】

なお、チャネル歪補正出力点では各ブランチの受信信号を  $r_i$ 、 $i=1, 2, \dots, M$  の位相は一致しているので、同図においては式(5)のみを実行している。

【0018】



【数 5】

$$\sum_{i=0}^{M-1} \frac{\|\alpha_i\|}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} \|\alpha_k\|^2} \quad (5)$$

【0019】

【発明が解決しようとする課題】

しかしながら、上記従来の受信装置のレベル測定回路15、周波数オフセット検出回路16、周波数補正回路17、チャネル歪検出回路18、チャネル歪補正回路19及び最大比合成回路3では、直交座標上で計算を実行するため、所要演算量や所要演算ビット長が大きくなったり、大きなテーブルメモリが必要になったりして回路の小型化が困難になるという問題があった。

【0020】

例えば図8に示すレベル測定回路15では、式(1)の平方根の中身は振幅値を2乗した電力値であるため、振幅値と同じダイナミックレンジを確保するためには2倍のビット長で表現する必要があり、図8のような平方根回路15bは入力ビットが2倍になるため、単精度乗算器の約4倍もの規模の回路が必要になる。

【0021】

また周波数オフセット検出回路16で行う複素乗算も、実数乗算を4回実行して行う必要がある。そして、周波数補正回路17では、正弦波・余弦波対の発生にsin、cosテーブル17c用のメモリが必要な上に、sin、cosテーブル17cで表現できる周波数分解能でしか正弦波・余弦波対を発生できないため、誤差を伴うという問題がある。

【0022】

図9に示すチャネル歪検出回路18も、複素乗算を行うために実数乗算を4回実行する必要がある。そしてチャネル歪補正回路19では、式(3)の複素乗算と実数除算を行うが、実数除算ではレベル測定回路15の式(1)と同型である

除数は大きなビット長が必要になる上に、被除数と共に正規化する処理が必要になるため、回路の簡略化・小型化が困難である。

#### 【0023】

図10に示す最大比合成回路3では、明らかに多くの平方根回路3aが用いられ小型化が困難である。とりわけ、式(5)におけるAの計算では、平方根の中がM個の電力和のため、振幅表現の場合よりも $2\sqrt{M}$ 倍のビット長が必要になり、平方根回路3aの規模は単精度乗算器の約4M倍になる。したがって、Mが大きくなるほど回路の小型化が困難になるという問題があった。

#### 【0024】

本発明は上記従来の問題を解決するもので、加減算とシフトのみで実行が可能なCORDIC (Coordinate Rotation Digital Computer) アルゴリズムが直交座標／極座標変換、複素数乗除算及び正弦波・余弦波信号発生などに適することに着目し、これを直交座標信号である同相・直交信号（以下I、Q信号）に対するAGC、AFC、チャネル推定・補償及び最大比合成ダイバーシチ処理に適用することにより、小型化することができる受信装置を提供することを目的とする。

#### 【0025】

##### 【課題を解決するための手段】

本発明は上記目的を達成するために、AGC信号に基づいて受信信号を増幅する増幅手段と、

一定振幅である既知シンボルの受信振幅を算出するCORDIC手段と、

前記CORDIC手段により算出された受信振幅に基づいて前記AGC信号を生成して前記増幅手段に印加する制御手段とを、

有する構成とした。

上記構成により、CORDIC手段により受信振幅を算出するので、受信装置を小型化することができる。

#### 【0026】

また本発明は、請求項1に記載の受信装置において、キャリア周波数のオフセットを打ち消すキャリア周波数補正手段を更に備え、前記CORDIC手段が受

信既知シンボルの遅延検波出力及び既知シンボルとの相関出力から前記キャリア周波数オフセットを検出することを特徴とする。

上記構成により、CORDIC手段を受信振幅算出回路とキャリア周波数オフセット検出回路に兼用するので、受信装置を小型化することができる。

#### 【0027】

また本発明は、キャリア周波数のオフセットを検出する手段と、

前記検出されたキャリア周波数のオフセットに応じた正弦波・余弦波を発生して周波数オフセット補正処理を行うCORDIC手段とを、

有する構成とした。

上記構成により、CORDIC手段により周波数オフセットを補正するので、受信装置を小型化することができる。

#### 【0028】

また本発明は、受信既知シンボルを既知シンボルで複素除算してチャネル歪を検出するCORDIC手段と、

前記検出したチャネル歪を補償するCORDIC手段とを、

有する構成とした。

上記構成により、CORDIC手段によりチャネル歪を検出して補償するので、受信装置を小型化することができる。

#### 【0029】

また本発明は、CORDICを基本セルとするシストリックアレイアーキテクチャで各ブランチの受信信号の出力振幅を正規化しながら最大比合成ダイバーシチ処理する手段を有する構成とした。

上記構成により、CORDIC手段により最大比合成ダイバーシチ処理するので、受信装置を小型化することができる。

#### 【0030】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。本発明は加減算とシフトのみで直交座標／極座標変換の実行が可能なCORDIC (Coordinate Rotation Digital Computer) アルゴリズムを用いてAGC、AFC、チャネル

推定・補償及び最大比合成ダイバーシチ処理を極座標上で行うようにしたものである。ここでCORDICは、多くの初等関数を統一的に計算できるアルゴリズムとして従来より電卓などで広く用いられてきた。

#### 【0031】

一方、無線通信の受信機では、信号を  $I(t) + jQ(t) = R(t)e^{j\theta(t)}$  のように複素数で表し、直交座標表現の  $I(t)$ 、 $Q(t)$  に対して演算を行うことが多い。しかしながら、実際には極座標値  $R(t)$ 、 $\theta(t)$  を用いる処理や、極座標上で計算すると所要演算量や所要演算ビット長を低減できる処理も多い。後者の例では、

①複素乗算は直交座標上では4回の実乗算の実行が必要だが、極座標上では1実乗算でよい、

②複素除算は直交座標上では複素乗算と2実除算の実行が必要であるが、極座標上では1実除算でよい、

③振幅値の計算は極座標上では2倍の演算ビット長が必要になる電力値を求めてから平方根計算を行う必要があるが、CORDICを用いて極座標値を求める場合は加減算とシフトで演算ビット長を大きく増加させることなく直接振幅値を求めることができる、

などである。さらに正弦波・余弦波を用いる処理では、CORDICでこれらを発生させながら実行することによってテーブルを不要にし、回路の小型化を図ることができる。

#### 【0032】

そこで、図8に示した受信装置のレベル測定回路、周波数オフセット検出回路、周波数補正回路において、各々にCORDICアルゴリズムを適用することにより、従来に比べて以下の特長がある。

(1) 受信既知シンボルの振幅は、CORDICで直接計算することにより、所要演算ビット数の増加を抑えるとともに、平方根回路を削減できる。

(2) 受信既知シンボルの振幅と周波数オフセット量の計算は、CORDICを共用して実行可能である。

(3) 周波数オフセット補正処理に必要な正弦波・余弦波対をCORDICで発生させることにより、テーブルメモリを不要にするとともに、発生する周波数精

度を向上させることができる。

### 【0033】

図1は本発明の実施の形態のレベル測定回路15a、周波数オフセット検出回路16a、周波数補正回路17aを示す。本回路15a、16a、17aは、SW1でAD変換器14からの受信既知シンボルを選択入力し、以下の手順で動作する。

### 【0034】

#### (1) 受信振幅の計算

レベル測定回路15aはスイッチSW1、SW2、SW3と、既知シンボルテーブル151と、レジスタ(T)152I、152Q、154とCORDIC153などにより構成される。なお、遅延メモリ30はレベル測定回路15a、周波数オフセット検出回路16aの処理時間だけAD変換器14の出力を遅延して周波数補正回路17aに出力する。まず、SW2、SW3、SW4を全てa側(A/D変換器14出力I、Q側)に接続し、受信既知シンボルをCORDIC153に通過させて直交座標/極座標変換を行うと、受信既知シンボルの位相は変換時の加減算パターンとしてCORDIC153に記憶され、一方受信既知シンボルの振幅はCORDIC153のI出力に現れる。そこで振幅値をレジスタ154を経て図7に示すAGC回路21に出力する。

### 【0035】

#### (2) 周波数オフセットの計算 (シンボル同期精度が低いとき)

周波数オフセット検出回路16aはレベル測定回路15aと兼用するCORDIC153と、平均化又は傾斜検出回路161と低レベル検出回路162により構成されている。SW3のみb側(A/D変換器出力側)に接続し、1シンボル時間前の受信共役複素既知シンボルをCORDIC153に通過させる。このとき上記(1)受信振幅の計算により、CORDIC153内に記憶されている加減算パターンに従って操作することにより、CORDIC153のI、Q出力の位相量は、受信既知シンボルの1シンボル時間前からの位相変化量を表す。そこで、CORDIC153のI、Q出力を平均化又は傾斜検出回路161により平均化して周波数オフセット値(1シンボル時間当たり位相変化量)とする。

## 【0036】

(2a) 周波数オフセットの計算 (シンボル同期精度が高いとき)

SW2をb側 (既知シンボルテーブル151側)、SW3をb側 (A/D変換器出力側) に接続し、共役複素既知シンボルをCORDIC153に通過させる。このとき上記(1)受信振幅の計算によりCORDIC153内に記憶されている加減算パターンに従って操作することにより、CORDIC153のI、Q出力の位相量は、受信既知シンボルの瞬時位相誤差を表す。そこで最小2乗法により時間に対する瞬時位相誤差の傾きを瞬時位相回転速度として求め、平均化して周波数オフセット値とする。

## 【0037】

(3) 周波数オフセットの補正

周波数補正回路17aは、スイッチSW4と、CORDIC171と、加減算パターンメモリ172と、レジスタ173I、173Qなどにより構成されている。周波数オフセット値が求まったら、SW4をa側 (平均化又は傾斜検出回路161側) に接続してCORDIC171に通過させて直交座標/極座標変換を行うと、1シンボル時間の平均位相変化量 (つまり周波数オフセット量) の極性反転値 $-\Delta f$ が変換時の加減算パターンとしてCORDIC171内部に形成されるので、これを加減算パターンメモリ172に記憶させる。次に2つの外部レジスタ173I、173Qに初期値としてそれぞれ1、0をセットし、以下の手順を繰り返す。

## 【0038】

ステップ1: (正弦波、余弦波対の発生)

加減算パターンメモリ172から $-\Delta f$ 値をCORDIC171にロードし、SW4をb側に接続して外部レジスタ173I、173Qの値をCORDIC171に通過させて更新する ( $-\Delta f$ 位相が進んだ正弦波、余弦波対の振幅が得られる)。

ステップ2: (正弦波、余弦波対の位相計算)

再度外部レジスタ173I、173Qの値をCORDIC171に通過させて直交座標/極座標変換を行って、その位相を加減算パターンとしてCORDIC

171 内部に保持させる。

ステップ3: (受信シンボルの周波数補正)

SW4 を c 側 (A/D 変換器出力側) に接続し、受信シンボルを CORDIC 171 に通過させる。

#### 【0039】

なお、上記のような方法で正弦波、余弦波対を発生させると、CORDIC 演算の誤差が蓄積して大きな歪を生ずるようになることが知られている。デジタル無線通信では多くの場合、 $\Delta f$  の値を頻繁に更新し CORDIC 171 をリセットするため問題にはならない。ただし、容易にリセットを行えない場合は、CORDIC 171 への  $\Delta f$  入力を直交座標値でなく位相値にして、1 サンプル前に正弦波、余弦波対を計算したときの残留位相誤差も含めて現時刻の正弦波、余弦波対を計算するように (これは誤差フィードバックと言われている) すればよいことが知られている。この場合の周波数補正回路 17b は図2のような構成になる。

#### 【0040】

図1と図8を比べて明らかなように、受信既知シンボルの振幅と位相変化の計算に CORDIC 153 を共用し、平方根回路 15b (図8) を削減できる。さらに正弦波・余弦波対と周波数補正処理で CORDIC 171 を共用し、正弦波・余弦波 (sin、cos) テーブル 17c を削減できる。

#### 【0041】

また、図7に示した受信装置のチャネル歪検出回路、チャネル歪補正回路において、各々に CORDIC アルゴリズムを適用することにより、従来に比べて以下の特長がある。

(4) チャネル歪検出のための複素除算 (係数テーブルの工夫にて複素乗算にしている) が、実乗算器 4 個の代わりに CORDIC 1 個で計算できる。

(5) チャネル歪補正のための複素除算を CORDIC を用いて実行することにより、所要演算ビット数の増加を抑え、平方根回路を削減できる。

#### 【0042】

図3は本実施の形態のチャネル歪検出回路 18a、チャネル歪補正回路 19a

を示す。チャネル歪検出回路18aはスイッチSW5と、既知シンボル位相加減算パターンテーブル181と、CORDIC182と、平均化回路183により構成される。チャネル歪補正回路19aはスイッチSW6と、CORDIC191と、レジスタ192と、割算器193I、193Qなどにより構成される。本回路18a、19aは、SW5でAD変換器14からの受信既知シンボルを選択入力し、以下の手順で動作する。

#### 【0043】

##### (4) チャネル歪検出の計算

チャネル歪補正回路19aのSW6をa側（チャネル歪検出回路18a側）に接続し、また、CORDIC182に共役複素既知シンボル位相を表す加減算パターンを既知シンボル位相加減算パターンテーブル181からセットする。そして受信既知シンボルをCORDIC182に通過させたときの出力が瞬時チャネル歪を表し、これを平均化してチャネル歪とする。

#### 【0044】

##### (5) チャネル歪の直交座標／極座標変換

上記(4)で検出したチャネル歪をCORDIC191に通過させて直交座標／極座標変換を行うと、チャネル歪の位相は変換時の加減算パターンとしてCORDIC191内部に記憶され、一方CORDIC191のI出力に現れるチャネル歪の振幅は外部レジスタ192に記憶される。

##### (5a) チャネル歪補正の計算

SW2をb側（A/D変換器出力側）に接続し、受信シンボルをCORDIC191に通過させると位相歪が補正される。次に割算器193I、193Qにより、それぞれCORDIC191のI出力、Q出力を外部レジスタ192に記憶されている振幅歪で除算を行い補正する。

#### 【0045】

なお、上記処理については以下に補正説明する。まず、チャネル歪検出処理は、従来例の式(2)でも示したように複素除算にて行うことができるが、上記(1)ではCORDICによる回転演算しか行っていないので位相歪は正しく検出できるが、振幅歪は除算されないために既知シンボル振幅倍で現れる。しかし既知



シンボル振幅が一定であれば、このようにその大きさが既知の定数倍の誤差は他の処理では問題にならないのでそのままにしている。

#### 【0046】

これに対してチャネル歪補正処理も従来例の式(3)に示した複素除算で行われるが、除数が変数(チャネル歪)なので簡単には行かない。ところで、この複素除算の商は式(6)のように表わされる。

#### 【0047】

#### 【数6】

$$\frac{I+jQ}{dI+jdQ} = \frac{(I+jQ)(dI-jdQ)}{dI^2+dQ^2} = \frac{(dI \cdot I + dQ \cdot Q) + j(-dQ \cdot I + dI \cdot Q)}{dI^2+dQ^2}$$

$$\operatorname{Re}\left[\frac{I+jQ}{dI+jdQ}\right] = \frac{dI}{dI^2+dQ^2} \cdot I + \frac{dQ}{dI^2+dQ^2} \cdot Q = \frac{1}{dR}(\cos\phi \cdot I + \sin\phi \cdot Q)$$

$$\operatorname{Im}\left[\frac{I+jQ}{dI+jdQ}\right] = \frac{-dQ}{dI^2+dQ^2} \cdot I + \frac{dI}{dI^2+dQ^2} \cdot Q = \frac{1}{dR}(-\sin\phi \cdot I + \cos\phi \cdot Q)$$

したがって、

$$\begin{bmatrix} \operatorname{Re}\left[\frac{I+jQ}{dI+jdQ}\right] \\ \operatorname{Im}\left[\frac{I+jQ}{dI+jdQ}\right] \end{bmatrix} = \frac{1}{dR} \begin{bmatrix} \cos\phi & \sin\phi \\ -\sin\phi & \cos\phi \end{bmatrix} \begin{bmatrix} I \\ Q \end{bmatrix}, \quad \text{ここで、} \quad dR = \sqrt{dI^2+dQ^2}, \quad \phi = \arctan \frac{dQ}{dI}$$

(6)

#### 【0048】

式(6)において、行列乗算の部分はCORDICで行う回転演算そのものであるから、あとは外部レジスタ192に記憶されているdRで実除算を行えば複素除算が行える。

#### 【0049】

図3と図7を比べて明らかなように、チャネル歪検出処理の複素乗算をCORDIC演算1回で行い乗算器4個を削減できる。さらにチャネル歪補正の複素除算をCORDICで実行することにより、平方根回路を削減できる。

#### 【0050】

さらに、受信装置の最大比合成回路にCORDICアルゴリズムを適用すると、従来に比べて以下の特長がある。

- ・Mブランチの最大比合成が、CORDICのツリー構成で実現できる。
- ・平方根回路が不要になる。

#### 【0051】

図4は本実施の形態の最大比合成回路3aを示し、MチャネルのスイッチSW7、CORDIC31～3M及びレジスタTb、Ta、Tcを有し、さらに各チャネルのレジスタTb、Ta、Tcの出力を処理するスイッチSW8、SW9及びCORDIC200を有する。本回路3aは、M組のチャネル歪補正出力、 $r_i (= I_i + jQ_i)$ 、次式(7)の $dR_i$

#### 【0052】

【数7】

$$dR_i (= \sqrt{dI_i^2 + dQ_i^2}) \quad (7)$$

#### 【0053】

、 $i = 0, 1, 2, \dots, M-1$ を受信し、従来例でも示したように各ブランチにそのSN比に比例した重みを掛けて式(8)のように加算する。なお、チャネル振幅歪 $dR$ は「受信シンボル振幅／送信シンボル振幅」の比を表すので、SN比に比例する量である。

#### 【0054】

【数8】

$$\sum_{i=0}^{M-1} \frac{dR_i}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} dR_k^2} \quad (8)$$

#### 【0055】

式(8)において $M=2$ の場合の合成出力は式(9)になり、これはCORD

ICに位相 $\phi$ の加減算パターンを記憶させ、 $(I_0, I_1)$ 及び $(Q_0, Q_1)$ を通過させたときのI出力として得られる。

【0056】

【数9】

$$\frac{dR_0}{\sqrt{dR_0^2 + dR_1^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2}} r_1 = \cos \phi \cdot r_0 + \sin \phi \cdot r_1, \quad \phi = \arctan \frac{dR_1}{dR_0} \quad (9)$$

【0057】

次に $M=3$ の場合も、式(10)と式(11)のように $M=2$ の場合の最大比合成の組合せで表すことができるので、CORDICの適用が可能である。したがって、数学的帰納法により、任意の $M$ に対してCORDICの適用が可能である。

【0058】

【数10】

$$\begin{aligned} & \frac{dR_0}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_1 + \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_2 \\ &= \frac{\sqrt{dR_0^2 + dR_1^2}}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_1' + \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_2 \\ &= \cos \phi_1 \cdot r_0 + \sin \phi_1 \cdot r_1, \quad \phi_1 = \arctan \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2}} \quad (10) \end{aligned}$$

$$r_1' = \frac{dR_0}{\sqrt{dR_0^2 + dR_1^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2}} r_1 = \cos \phi \cdot r_0 + \sin \phi \cdot r_1, \quad \phi = \arctan \frac{dR_1}{dR_0} \quad (11)$$

【0059】

図4におけるCORDIC31によるブランチ0と1の最大比合成を説明する。

(1) SW7の入力をa側(チャネル振幅歪dR)に接続してベクトル( $dR_0$ 、 $dR_1$ )をCORDIC31に通過させて直交座標/極座標変換を行うと、ベクトル位相は変換時の加減算パターンとしてCORDIC31内部に記憶され、一方CORDIC31のI出力に現れるベクトル振幅

【0060】

【数11】

$$\sqrt{dR_0^2 + dR_1^2} \quad (12)$$

【0061】

は外部レジスタTaに記憶される。

(2) SW7の入力をb側(I側)に接続してベクトル( $I_0$ 、 $I_1$ )をCORDIC31に通過させると最大比合成出力の同相出力がCORDIC31のI出力に現れ、外部レジスタTbに記憶される。

(3) SW7の入力をc側(Q側)に接続してベクトル( $Q_0$ 、 $Q_1$ )をCORDIC31に通過させると最大比合成出力の同相出力がCORDIC31のI出力に現れ、外部レジスタTcに記憶される。

【0062】

こうして得られるレジスタTb、Tcの出力が2ブランチ最大比合成出力であるが、図4では外部レジスタTa、Tb、Tcを用いてパイプライン動作するツリー構成にてMブランチ最大比合成を実行する。

【0063】

図4と図10を比べて明らかなように、CORDICを用いたことにより、平方根回路3aの数を大幅に削減できる。さらに電力表現を用いずに2ブランチずつ合成するため所要演算ビット数が局所的に増大することなく、規則的に回路

実現できる。

#### 【0064】

次にCORDICアルゴリズムの概要について説明する。図5に示すように平面上に直交座標値 ( $I_0$ ,  $Q_0$ ) が与えられたとき、その極座標値 ( $R$ ,  $\theta$ ) は、座標がI軸により近づくように回転方向を決めながら (つまりQ座標値が正のときは負方向、負のときは正方向) 回転幅を狭めて行くと、I座標値がR、その際の回転角の総和が0に近づいていくことは明らかである。ところで、反復回数N回のときの図5の計算は、式(13)にて表される (式中の符号は、 $Q_k$ ,  $k=1, 2, \dots, N$ の符号に応じて逐次決定する。また $\theta_k$ ,  $k=1, 2, \dots, N$ の値については後述する)。

#### 【0065】

#### 【数12】

$$\begin{aligned} \begin{pmatrix} I_N \\ Q_N \end{pmatrix} &= \begin{pmatrix} \cos \theta_N & \mp \sin \theta_N \\ \pm \sin \theta_N & \cos \theta_N \end{pmatrix} \begin{pmatrix} \cos \theta_{N-1} & \mp \sin \theta_{N-1} \\ \pm \sin \theta_{N-1} & \cos \theta_{N-1} \end{pmatrix} \cdots \begin{pmatrix} \cos \theta_1 & \mp \sin \theta_1 \\ \pm \sin \theta_1 & \cos \theta_1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix} \\ &= \prod_{k=1}^N \cos \theta_k \begin{pmatrix} 1 & \mp \tan \theta_N \\ \pm \tan \theta_N & 1 \end{pmatrix} \begin{pmatrix} 1 & \mp \tan \theta_{N-1} \\ \pm \tan \theta_{N-1} & 1 \end{pmatrix} \cdots \begin{pmatrix} 1 & \mp \tan \theta_1 \\ \pm \tan \theta_1 & 1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix} \end{aligned} \quad (13)$$

#### 【0066】

ここで、 $\tan \theta_k = 2^{-k}$ となるように $\theta_k$ を選ぶと式(13)は式(14)のように加減算とシフトで実行可能になる (振幅は最後に $1/K_N$ を掛けて補正する。 $1/K_N$ はあらかじめ計算しておくことができる)。

#### 【0067】

## 【数 13】

$$\begin{pmatrix} I_N \\ Q_N \end{pmatrix} = K_N \begin{pmatrix} 1 & \mp 2^{-N} \\ \pm 2^{-N} & 1 \end{pmatrix} \begin{pmatrix} 1 & \mp 2^{-(N-1)} \\ \pm 2^{-(N-1)} & 1 \end{pmatrix} \cdots \begin{pmatrix} 1 & \mp 2^{-1} \\ \pm 2^{-1} & 1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix}$$

$$\text{ただし、 } K_N = \prod_{k=1}^N \cos \theta_k, \quad \theta_k = \tan^{-1}(2^{-k})$$

(14)

## 【0068】

なお逆に極座標値 ( $R_0, \theta_0$ ) を直交座標値 ( $I, Q$ ) に変換するには、( $R_0, 0$ ) から始めて、 $\theta_0$  が 0 に近づく方向に逐次  $\theta_k$  回転させてゆけばよいので同じ回路を用いて実行可能である。特に初期値を ( $1, 0$ ) とすれば  $\cos \theta_0$  と  $\sin \theta_0$  が同時に計算できる。

## 【0069】

このようにCORDICアルゴリズムは簡単な同一回路で多くの関数値を計算できるため、発表当初大きな反響をよんで、アポロ宇宙船の電子計算機に搭載されたり、各種電卓に用いられた。現在の電子計算機では多項式近似が主流になってあまり使われていないが、最近再び信号処理回路への応用が検討されてきている。

## 【0070】

図6にCORDICのブロック図を示す。図6のTYPE IはCORDICの反復演算を同一回路で繰り返して行うプロセッサタイプの構成であり、TYPE IIはこれをアレイに展開したもので回路規模は実乗算器の約2個相当である。ところでCORDICアルゴリズムは前の加減算結果に基づいて次の反復計算を加算にするか減算にするか決定するために、加減算時の桁上げ伝搬遅延を無視できず、高速動作が困難である。ただし、CORDIC演算時間の短縮方法として、①桁上げ伝搬長の少ない冗長2進数の導入、②高基数演算による反復回数の低減などが提案されている。

## 【0071】

**【発明の効果】**

以上のように本発明は、加減算とシフトのみで直交座標／極座標変換の実行が可能なCORDICアルゴリズムを用いてAGC、AFC、チャンネル推定・補償及び最大比合成ダイバーシチ処理を極座標上で行うので、以下のような特長が得られる。

- ①レベル測定回路における振幅計算の所要演算ビットを削減し、平方根回路を削減できる。
- ②レベル測定と周波数オフセット検出をCORDICを共用して実行できる。
- ③周波数オフセット補正に必要な正弦波・余弦波対をCORDICで発生させることにより、テーブルメモリを不要にするとともに、発生する周波数精度を向上できる。
- ④チャンネル歪検出のための複素乗算を実乗算器4個の代わりにCORDIC1個で計算できる。
- ⑤チャンネル歪補正のための複素除算をCORDICを用いて実行することにより、所要演算ビット数の増加を抑え、平方根回路を削減できる。
- ⑥Mプランチの最大比合成が、CORDICのツリー構成で実現でき、平方根回路を削減できる。

以上により、無線受信装置の小型化を容易に実現できる。

**【図面の簡単な説明】****【図1】**

本発明の実施の形態のレベル測定回路、周波数オフセット検出回路、周波数補正回路を示すブロック図

**【図2】**

図1の周波数補正回路の変形例を示すブロック図

**【図3】**

本発明の実施の形態のチャンネル歪検出回路、チャンネル歪補正回路を示すブロック図

**【図4】**

本発明の実施の形態の最大比合成回路を示すブロック図

## 【図 5】

本発明の実施の形態で用いるCORDICアルゴリズムの原理を示す説明図

## 【図 6】

本発明の実施の形態で用いるCORDICを示すブロック図

## 【図 7】

従来一般的な受信装置を示すブロック図

## 【図 8】

従来のレベル測定回路、周波数オフセット検出回路、周波数補正回路を示すブロック図

## 【図 9】

従来のチャネル歪検出回路、チャネル歪補正回路を示すブロック図

## 【図 10】

従来の最大比合成回路を示すブロック図

## 【符号の説明】

3 a 最大比合成回路

15 a レベル測定回路

16 a 周波数オフセット検出回路

17 a 周波数補正回路

18 a チャネル歪検出回路

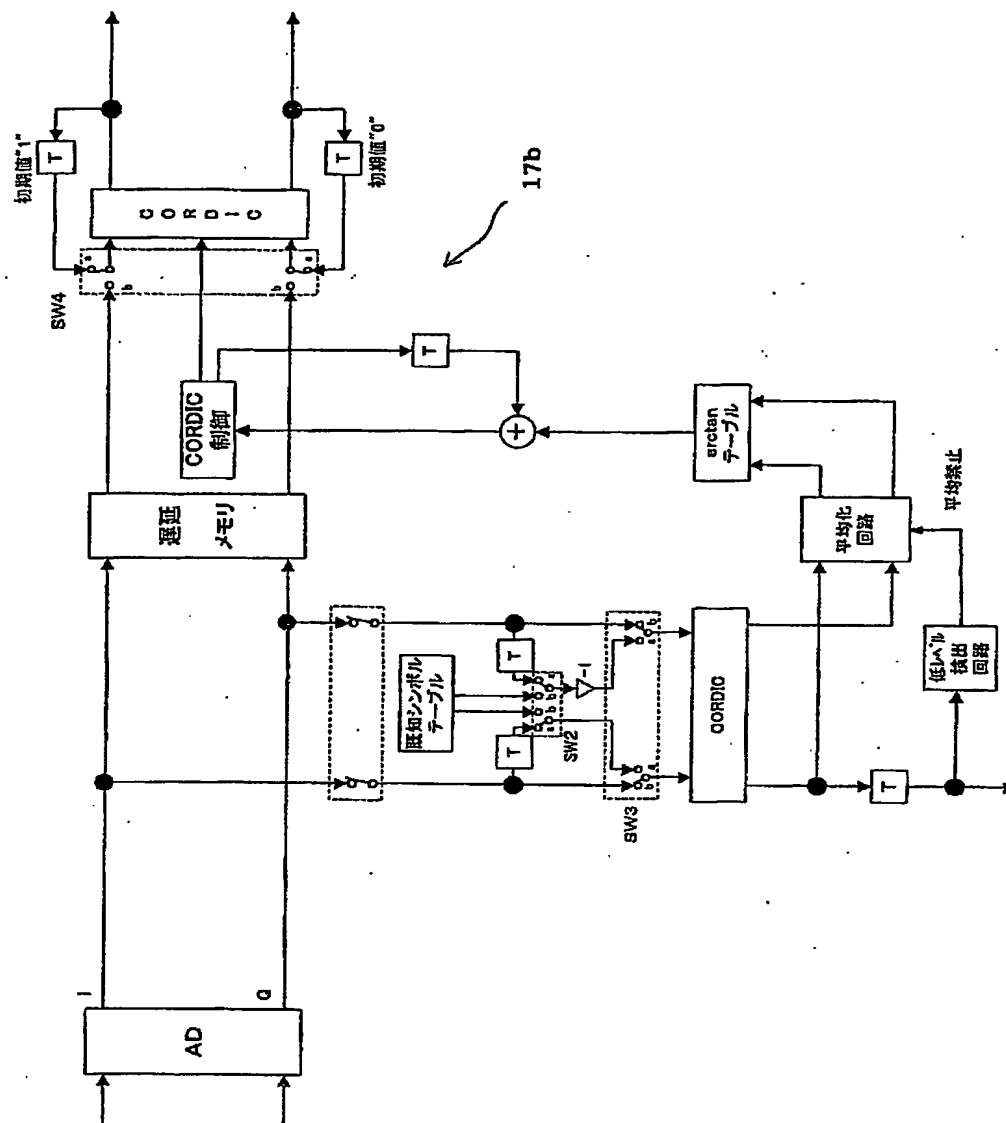
19 a チャネル歪補正回路

153、171、182、191、31～3M、200 CORDIC

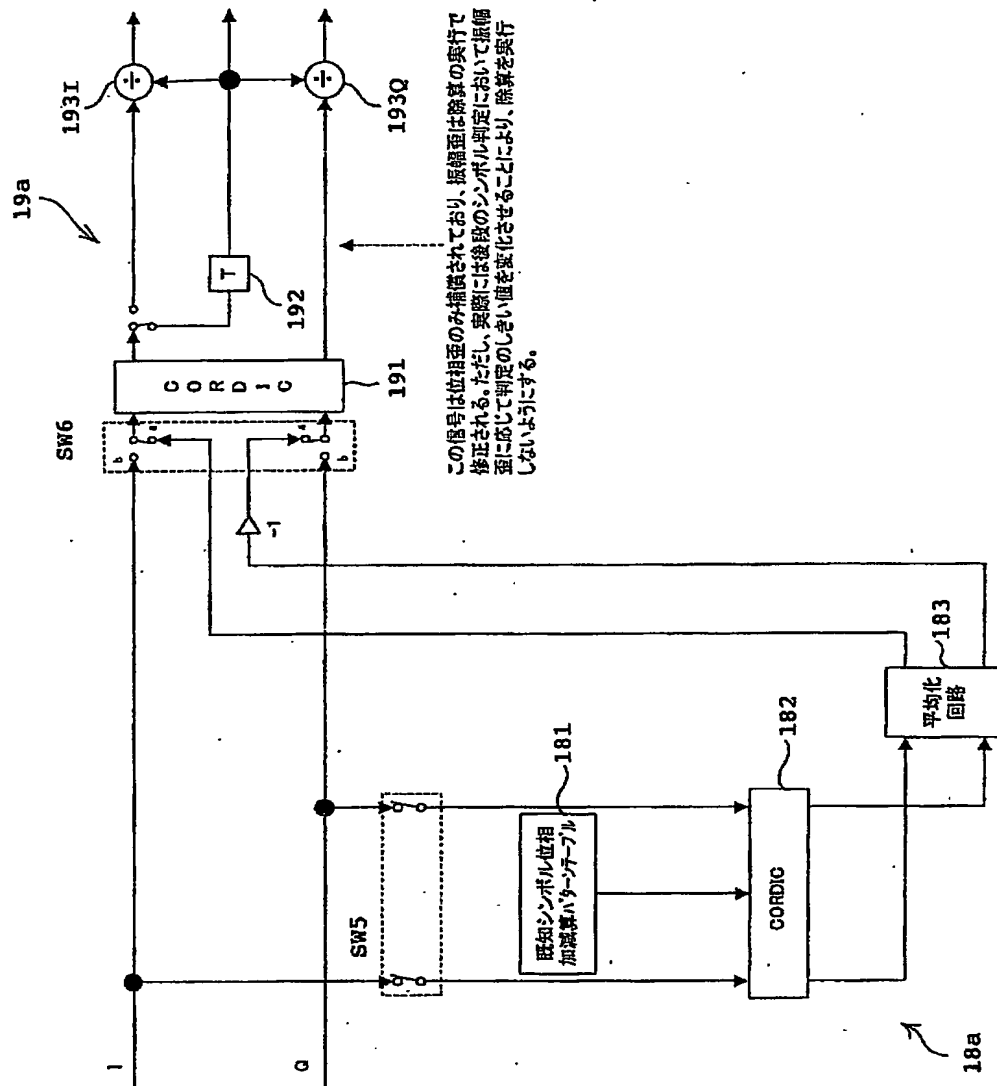




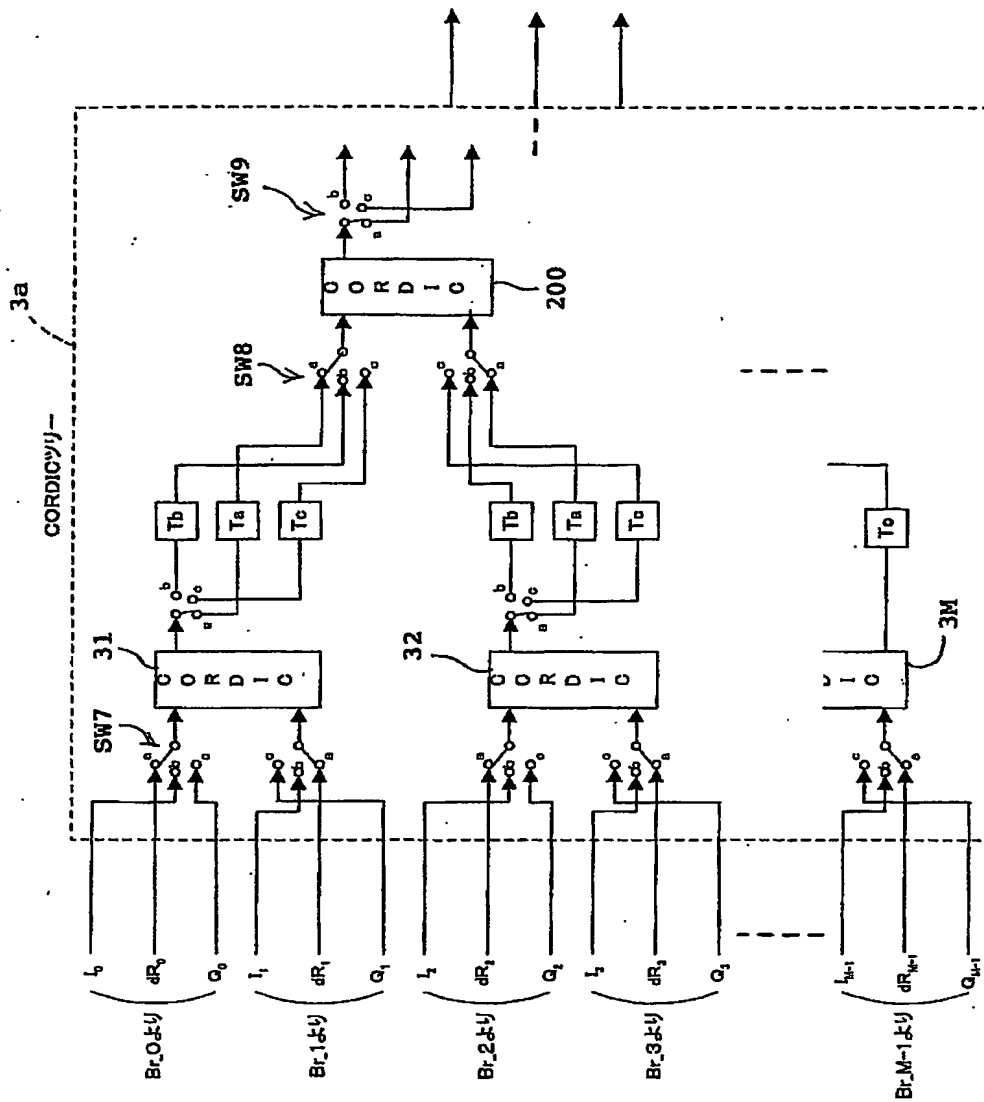
【図 2】



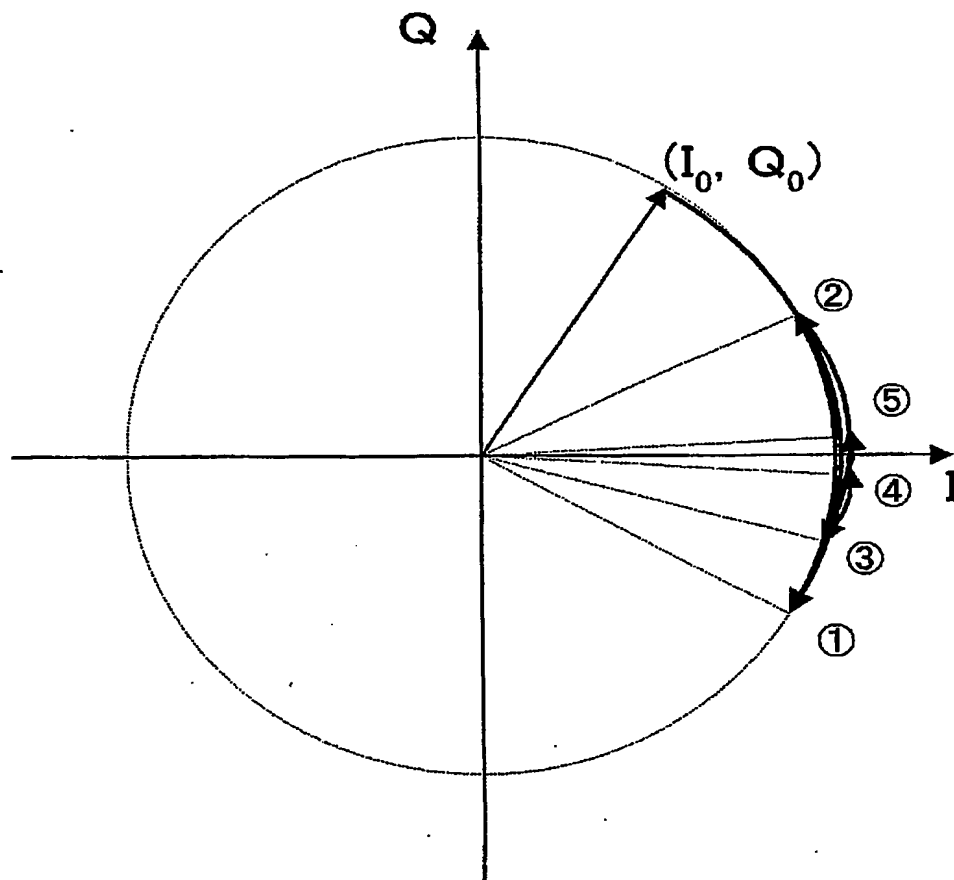
【図 3】



【図4】

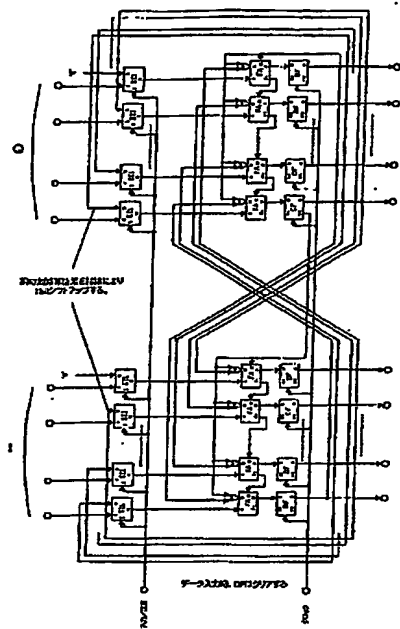


【図 5】

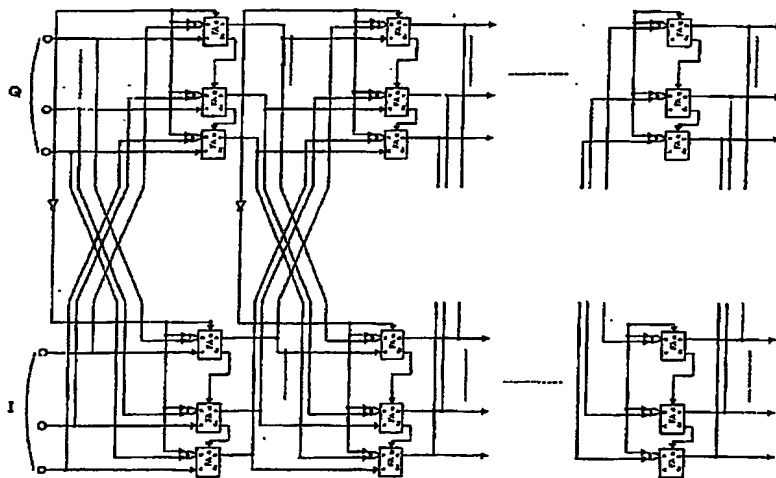


回転による直交座標／極座標変換の説明

【図6】



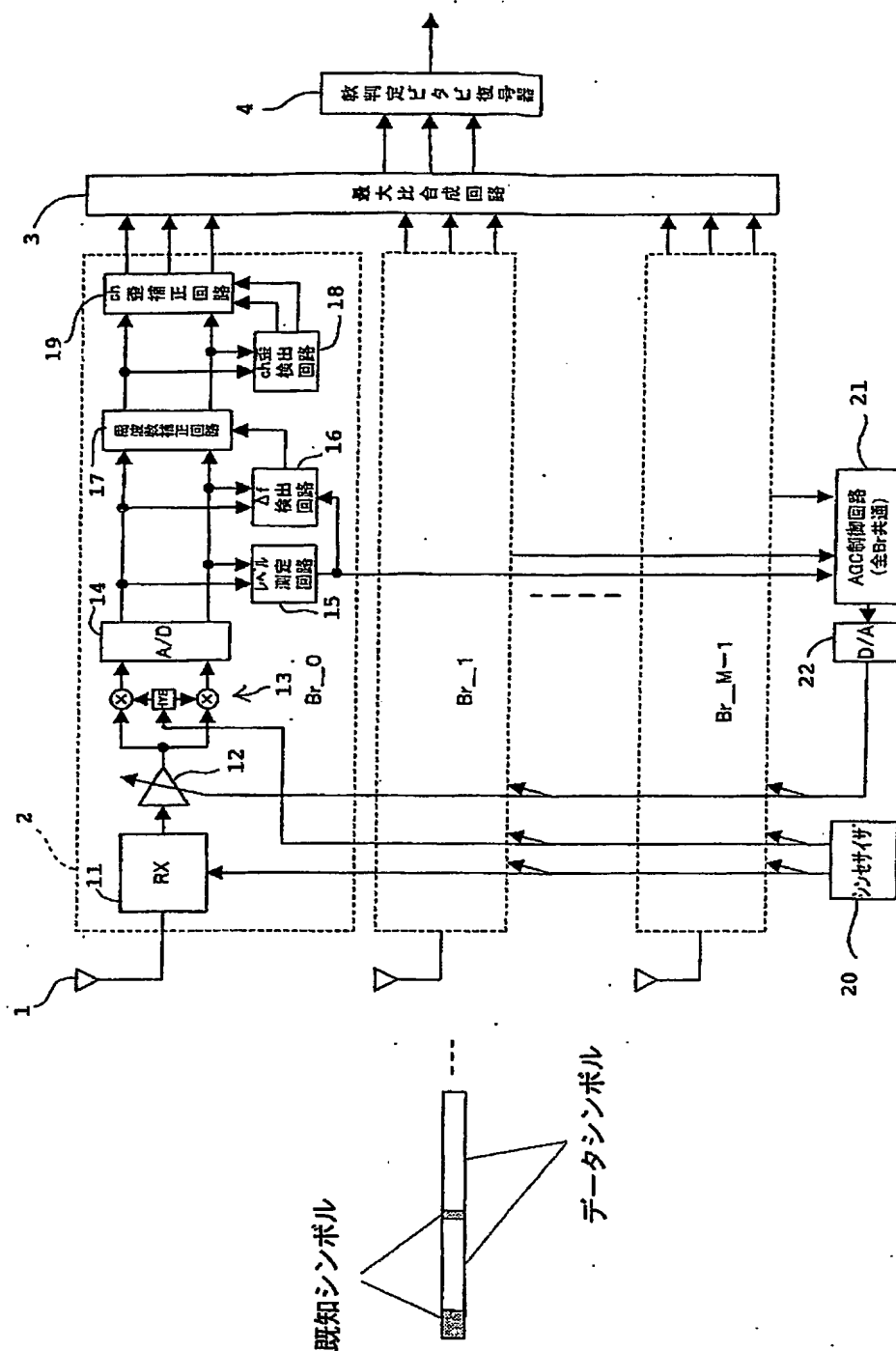
(1) TYPE I



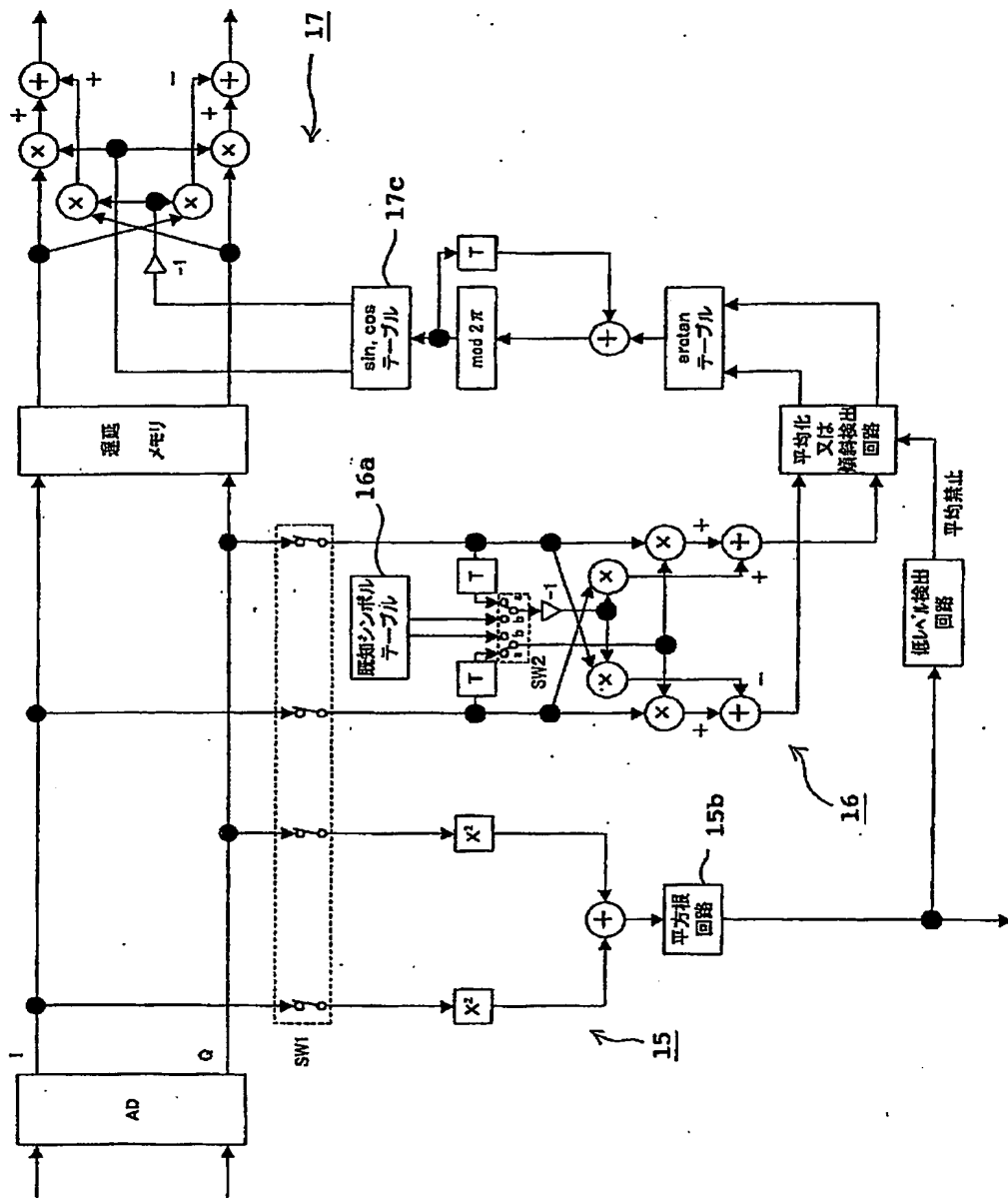
(2) TYPE II

CORDIC回路 ブロック図

【図7】

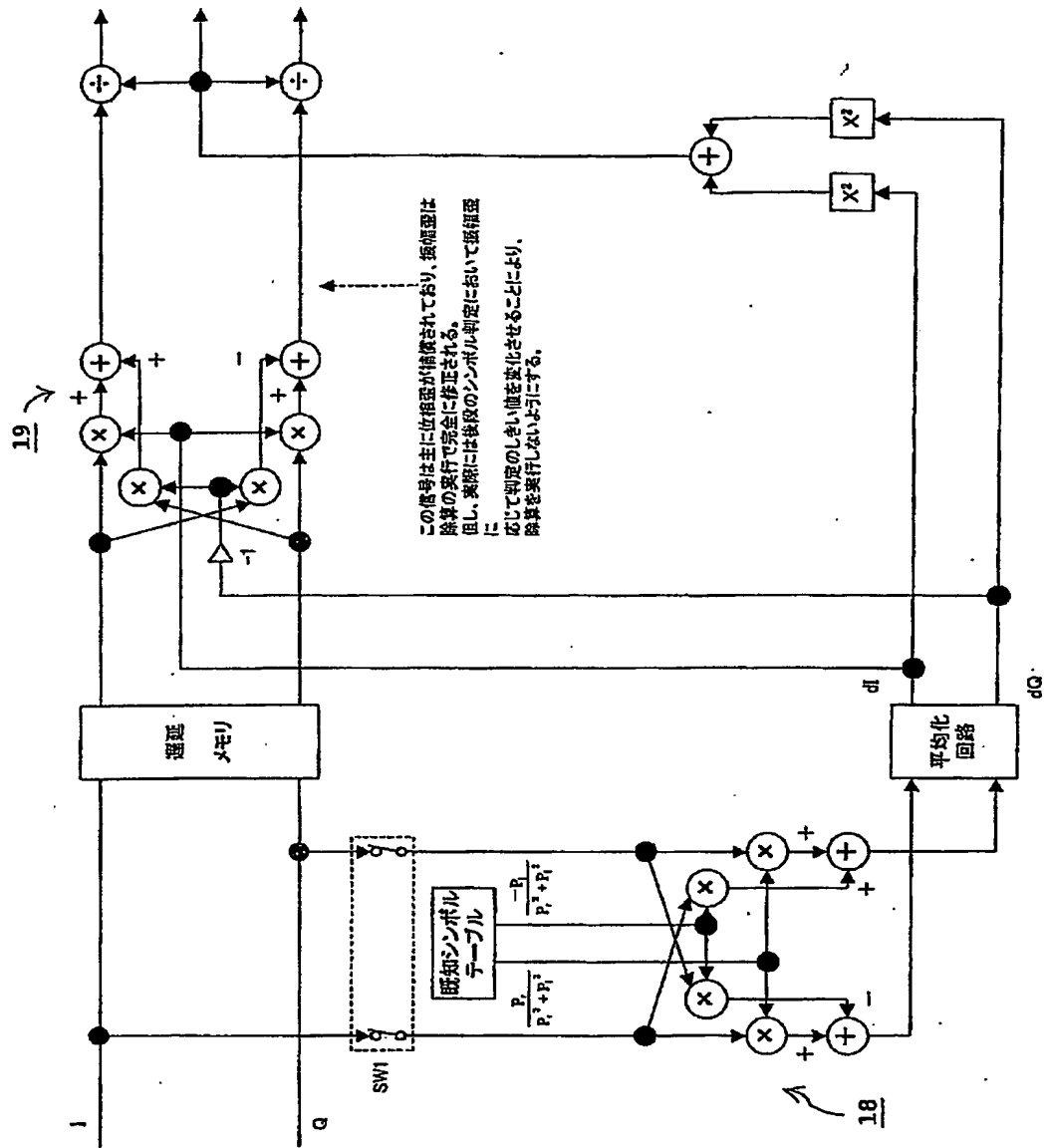


【図 8】

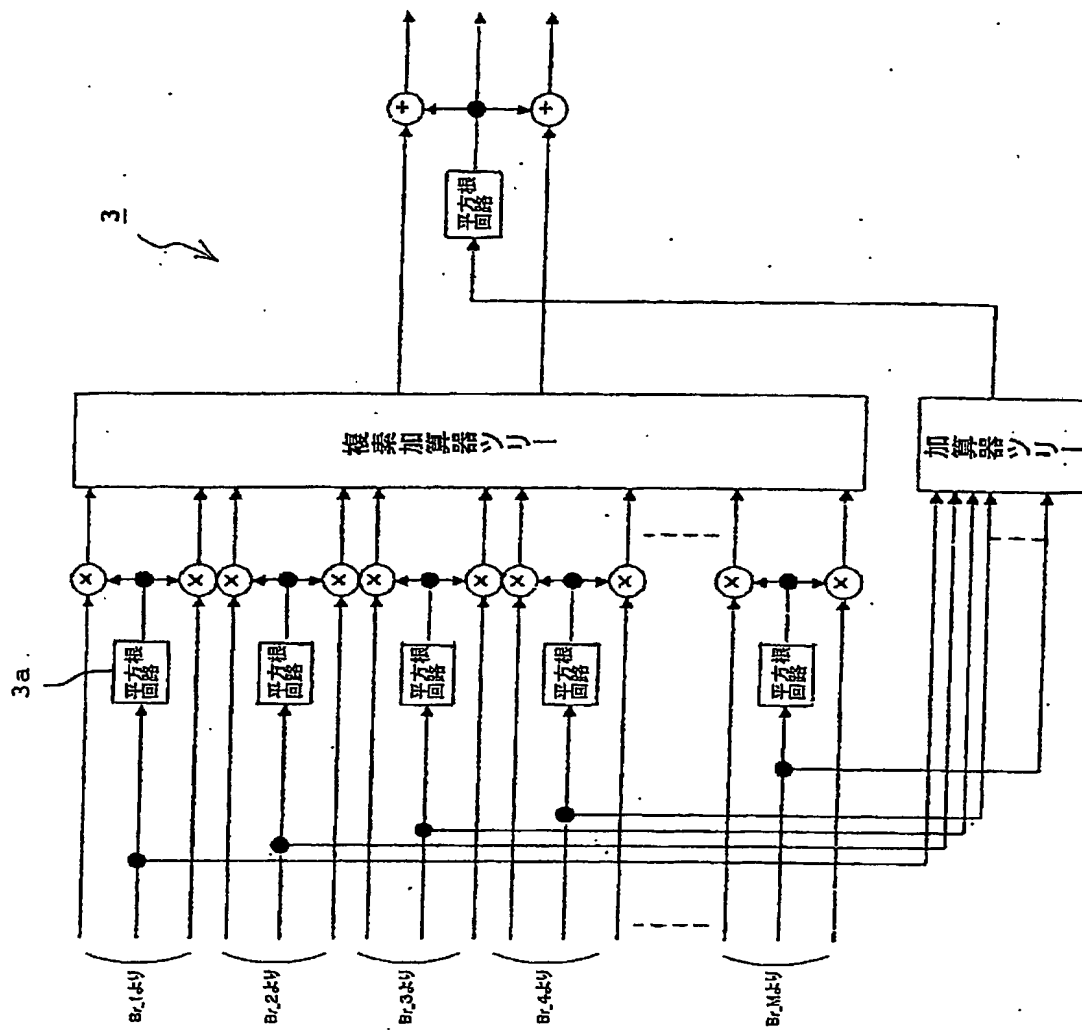




【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 携帯電話やその基地局などの受信装置を小型化する。

【解決手段】 レベル測定回路15a、周波数オフセット検出回路16a、周波数補正回路17a、チャネル歪検出回路18a、チャネル歪補正回路19a、最大比合成回路3aをCORDIC153、171、182、191、31～3M、200により構成する。また、レベル測定回路15aと周波数オフセット検出回路16aのCORDIC153を兼用する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-186753
受付番号	50200937580
書類名	特許願
担当官	第八担当上席 0097
作成日	平成14年 6月27日

<認定情報・付加情報>

【提出日】 平成14年 6月26日

次頁無

特願 2002-186753

出 願 人 履 歷 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**